

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-066710
 (43)Date of publication of application : 10.03.1995

(51)Int. Cl. H03K 19/0175
 G06F 3/00
 H01L 21/8238
 H01L 27/092
 H03K 19/003

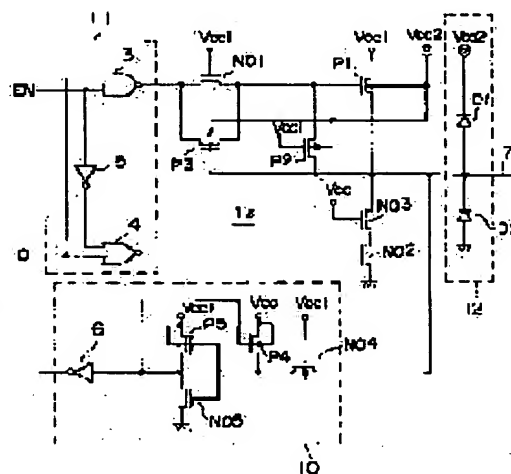
(21)Application number : 05-211787 (71)Applicant : HITACHI LTD
 (22)Date of filing : 26.08.1993 (72)Inventor : NISHIO YOJI
 IWAMURA MASAHIRO
 HOSONO TOMOHISA
 HARA HIDEO

(54) INPUT/OUTPUT BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To exclude a leakage current in an I/O buffer circuit for executing I/O operation to/from a device with a power supply voltage level higher than its own power supply voltage.

CONSTITUTION: In the case of outputting an 'L' level signal to an I/O terminal 7, an I/O control circuit 11 respectively impresses 'H' level voltage and Vcc1 level voltage to the gate terminal of a PMOS P1 and the gate terminal of NMOS NO2. Since the PMOS P1 is turned off and the NMOS NO2 is turned on as the result of the voltage impression, an I/O terminal 7 goes to an 'L' level. Simultaneously a PMOS P3 is turned on and the gate terminal of the PMOS P1 is raised up to the VCC1 level, so that the PMOS P1 is completely turned off and no leakage current flows. Even when an 'H' level signal is inputted to the I/O terminal 7, the PMOS P1 is completely turned off and a leakage pass from the terminal 7 to power supply Vcc1 through the PMOS P1 is interrupted.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application]

BEST AVAILABLE COPY

other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66710

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 19/0175

G 0 6 F 3/00

H 0 1 L 21/8238

Q

8321-5J

H 0 3 K 19/ 00

1 0 1 S

8934-4M

H 0 1 L 27/ 08

3 2 1 L

審査請求 未請求 請求項の数14 O L (全 20 頁) 最終頁に続く

(21) 出願番号

特願平5-211787

(22) 出願日

平成5年(1993)8月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 西尾 洋二

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 岩村 将弘

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 細野 智久

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体設計開発センタ内

(74) 代理人 弁理士 富田 和子

最終頁に続く

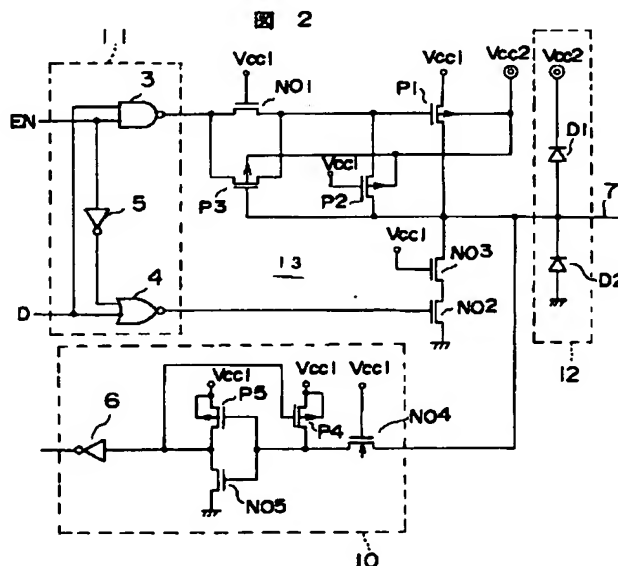
(54) 【発明の名称】 入出力バッファ回路

(57) 【要約】

(修正有)

【目的】自身の電源電圧より高い電源電圧レベルデバイスとの間で入出力を行う入出力バッファ回路において、リーク電流を排除する。

【構成】入出力端子7に" L " レベルを出力する場合、入出力コントロール回路11によって、出力回路13のPMOS P1のゲート端子には、" H " レベルが印加され、NMOS N02のゲート端子にはVcc1レベルが印加される。この結果、PMOS P1はオフし、NMOS N02はオンするので、入出力端子7は" L " レベルになる。同時にPMOS P3がオンし、PMOS P1のゲート端子は、Vcc1レベルまで上昇するので、PMOS P1は完全にオフとなり、リーク電流は流れない。一方、入出力端子7に" H " レベルが入力される場合も、PMOS P1は完全にオフし、入出力端子7からPMOS P1を介して、電源Vcc1へのリークパスが遮断される。



1

2

【特許請求の範囲】

【請求項 1】第 1 の電源と、第 1 の電源電圧より高い電圧の第 2 の電源と、外部端子と、

前記外部端子にハイレベルの信号を出力する場合にのみ接地電位電圧となり他の場合には前記第 1 の電源電圧となる第 1 のノードと、

前記外部端子にロウレベルの信号を出力する場合にのみ前記第 1 の電源電圧となり他の場合には接地電位電圧となる第 2 のノードとを備え、

ソース端子およびドレイン端子を、それぞれ MOS トランジスタの端とした場合に、

一端を前記第 1 の電源に接続し、他端を前記外部端子に接続し、N 型の基板ウエルを第 2 の電源に接続した第 1 の PMOS トランジスタと、

一端を前記第 1 の PMOS トランジスタのゲート端子に接続し、他端を前記外部端子に接続し、ゲート端子を第 1 の電源に接続し、N 型の基板ウエルを第 2 の電源に接続した第 2 の PMOS トランジスタと、

一端を前記第 1 の PMOS トランジスタのゲート端子に接続し、他端を前記第 1 のノードに接続し、ゲート端子を前記外部端子に接続し、N 型の基板ウエルを第 2 の電源に接続した第 3 の PMOS トランジスタと、

一端を前記第 1 の PMOS トランジスタのゲート端子に接続し、他端を前記第 1 のノードに接続し、ゲート端子を第 1 の電源に接続した第 1 の NMOS トランジスタと、

一端を接地電位に接続し、ゲート端子を前記第 2 のノードに接続した第 2 の NMOS トランジスタと、

一端を前記外部端子に接続し、他端を前記第 2 の NMOS トランジスタの接地電位に接続していない一端に接続し、ゲート端子を第 1 の電源に接続した第 3 の NMOS トランジスタとを有することを特徴とする出力バッファ回路。

【請求項 2】第 1 の電源と、第 1 の電源電圧より高い電圧の第 2 の電源と、外部端子と、外部端子への出力を行う場合にのみ接地電位電圧となり他の場合には前記第 1 の電源電圧となる第 1 のノードと、外部端子への出力を行う場合にのみ第 1 の電源電圧となり他の場合には接地電位電圧となる第 2 のノードと、外部端子へ出力する信号の値に応じて接地電位電圧もしくは第 1 の電源電圧となる第 3 のノードとを備え、

ソース端子およびドレイン端子を、それぞれ MOS トランジスタの端とした場合に、

一端を第 1 の電源に接続し、N 型の基板ウエルを第 2 の電源に接続した第 1 の PMOS トランジスタと、

一端を前記第 1 の PMOS トランジスタのゲート端子に接続し、他端を前記外部端子に接続し、ゲート端子を第 1 の電源に接続し、N 型の基板ウエルを第 2 の電源に接続した第 2 の PMOS トランジスタと、

一端を、前記第 1 の PMOS トランジスタのゲート端子

に接続し、他端を前記第 1 のノードに接続し、ゲート端子を前記外部端子に接続し、N 型の基板ウエルを第 2 の電源に接続した第 3 の PMOS トランジスタと、

一端を前記第 1 の PMOS の第 1 の電源電圧と接続していない一端に接続し、他端を外部端子に接続し、ゲート端子を前記第 3 のノードに接続し、N 型の基板ウエルを第 2 の電源に接続した第 4 の PMOS トランジスタと、一端を前記第 1 の PMOS トランジスタのゲート端子に接続し、他端を前記第 1 のノードに接続し、ゲート端子を第 1 の電源に接続した第 1 の NMOS トランジスタと、

一端を接地電位に接続し、ゲート端子を前記第 2 のノードに接続した第 2 の NMOS トランジスタと、

一端を前記外部端子に接続し、他端を前記第 2 の NMOS トランジスタの接地電位電圧に接続していない一端に接続し、ゲート端子を前記第 3 のノードに接続した第 3 の NMOS トランジスタとを有することを特徴とする出力バッファ回路。

【請求項 3】第 1 の電源と、第 1 の電源電圧より高い電圧の第 2 の電源と、外部端子と、外部端子への出力を行う場合にのみ接地電位電圧となり他の場合には前記第 1 の電源電圧となる第 1 のノードと、外部端子への出力を行う場合にのみ第 1 の電源電圧となり他の場合には接地電位電圧となる第 2 のノードと、前記外部端子にハイレベルの信号を出力する場合にのみ接地電位電圧となり他の場合には前記第 1 の電源電圧となる第 3 のノードとを備え、

ソース端子およびドレイン端子を、それぞれ MOS トランジスタの端とした場合に、

一端を前記第 1 の電源に接続し、N 型の基板ウエルを第 2 の電源に接続した第 1 の PMOS トランジスタと、一端を前記第 1 の PMOS トランジスタのゲート端子に接続し、他端を外部端子に接続し、ゲート端子を第 1 の電源に接続し、N 型の基板ウエルを第 2 の電源に接続した第 2 の PMOS トランジスタと、

一端を前記第 1 の PMOS トランジスタの第 1 の電源に接続していない一端に接続し、他端を外部端子に接続し、ゲート端子を前記第 3 のノードに接続し、N 型の基板ウエルを第 2 の電源に接続した第 3 の PMOS トランジスタと、

一端を前記第 1 の PMOS トランジスタのゲート端子に接続し、他端を前記第 1 のノードに接続し、ゲート端子を第 1 の電源に接続した第 1 の NMOS トランジスタと、

一端を接地電位に接続し、ゲート端子を第 2 のノードに接続した第 2 の NMOS トランジスタと、

一端を前記外部端子に、他端を前記第 2 の NMOS トランジスタの接地電位に接続していない一端に接続し、ゲート端子を前記第 3 のノードに接続した第 3 の NMOS トランジスタとを有することを特徴とする出力バッファ

10

20

30

40

50

3

回路。

【請求項4】第1の電源と、第1の電源電圧より高い電圧の第2の電源と、外部端子と、前記外部端子にハイレベルの信号を出力する場合にのみ接地電位電圧となり他の場合には前記第1の電源電圧となる第1のノードと、前記外部端子にロウレベルの信号を出力する場合にのみ前記第1の電源電圧となり他の場合には接地電位電圧となる第2のノードとを備え、ソース端子およびドレイン端子を、それぞれMOSトランジスタの端とした場合に、コレクタ端子を第1の電源に接続し、エミッタ端子を外部端子に接続したNPNバイポーラトランジスタと、一端を第1の電源に接続し、他端を前記NPNバイポーラトランジスタのベース端子に接続し、ゲート端子を前記第1のノードに接続し、N型の基板ウエルを第1の電源に接続したPMOSTランジスタと、一端を前記NPNバイポーラトランジスタのベース端子に接続し、他端を接地電位に接続し、ゲート端子を前記第1のノードに接続した第1のNMOSTランジスタと、一端を接地電位に接続し、ゲート端子を前記第2のノードに接続した第2のNMOSTランジスタと、一端を前記外部端子に接続し、他端を前記第2のNMOSTランジスタの接地電位に接続していない一端に接続し、ゲート端子を第1の電源に接続した第3のNMOSTランジスタとを有することを特徴とする出力バッファ回路。

【請求項5】第1の電源と、外部端子と、外部端子への出力を行う場合にのみ接地電位電圧となり他の場合には前記第1の電源電圧となる第1のノードと、外部端子への出力を行う場合にのみ第1の電源電圧となり他の場合には接地電位電圧となる第2のノードと、外部端子へ出力する信号の値に応じて接地電位電圧もしくは第1の電源電圧となる第3のノードとを備え、ソース端子およびドレイン端子を、それぞれMOSトランジスタの端とした場合に、コレクタ端子を第1の電源に接続し、エミッタ端子を外部端子に接続したNPNバイポーラトランジスタと、一端を第1の電源に接続し、ゲート端子を前記第1のノードに接続し、N型の基板ウエルを第1の電源に接続した第1のPMOSTランジスタと、一端を前記第1のPMOSTランジスタの第1の電源に接続していない一端に接続し、他端を前記NPNバイポーラトランジスタのベース端子に接続し、ゲート端子を前記第3のノードに接続し、N型の基板ウエルを第1の電源に接続した第2のPMOSTランジスタと、一端を前記NPNバイポーラトランジスタのベース端子に接続し、他端を接地電位に接続し、ゲート端子を前記第3のノードに接続した第1のNMOSTランジスタと、

(3)

特開平7-66710

4

一端を接地電位に接続し、ゲート端子を前記第2のノードに接続した第2のNMOSTランジスタと、一端を前記外部端子に接続し、他端を前記第2のNMOSTランジスタの接地電位に接続していない一端に接続し、ゲート端子を前記第3のノードに接続した第3のNMOSTランジスタと、一端を前記NPNバイポーラトランジスタのベース端子に接続し、他端を接地電位に接続し、ゲート端子を前記第1のノードに接続した第4のNMOSTランジスタとを有することを特徴とする出力バッファ回路。

10

【請求項6】第1の電源と、第1の電源電圧より高い電圧の第2の電源と、外部端子と、外部端子への出力を行う場合にのみ接地電位電圧となり他の場合には前記第1の電源電圧となる第1のノードと、外部端子への出力を行う場合にのみ第1の電源電圧となり他の場合には接地電位電圧となる第2のノードと、外部端子へ出力する信号の値に応じて接地電位電圧もしくは第1の電源電圧となる第3のノードとを備え、

20

ソース端子およびドレイン端子を、それぞれMOSトランジスタの端とした場合に、コレクタ端子を第1の電源に接続し、エミッタ端子を外部端子に接続したNPNバイポーラトランジスタと、一端を第1の電源にN型の基板ウエルを第2の電源に接続した第1のPMOSTランジスタと、一端を前記第1のPMOSTランジスタのゲート端子に接続し、他端を前記外部端子に接続し、ゲート端子を第1の電源に接続し、N型の基板ウエルを第2の電源に接続した第2のPMOSTランジスタと、

30

一端を前記第1のPMOSTランジスタのゲート端子に接続し、他端を前記第1のノードに接続し、ゲート端子を前記外部端子に接続し、N型の基板ウエルを第2の電源に接続した第3のPMOSTランジスタと、一端を前記第1のPMOSTランジスタの第1の電源に接続していない一端に接続し、他端を前記NPNバイポーラトランジスタのベース端子に接続し、ゲート端子を前記第3のノードに接続し、N型の基板ウエルを第2の電源に接続した第4のPMOSTランジスタと、

40

一端を前記NPNバイポーラトランジスタのベース端子に接続し、一端を外部端子に接続し、ゲート端子を前記第2のノードに接続し、N型の基板ウエルを第2の電源に接続した第5のPMOSTランジスタと一端を前記第1のPMOSTランジスタのゲート端子に接続し、他端を前記第1のノードに接続し、ゲート端子を第1の電源に接続した第1のNMOSTランジスタと、一端を接地電位に接続し、ゲート端子を第2のノードに接続した第2のNMOSTランジスタと、一端を前記外部端子に接続し、他端を前記第2のNMOSTランジスタの接地電位に接続していない一端に接続し、ゲート端子を第3のノードに接続した第3のNMOSTランジスタと、

50

5

一端を前記NPNトランジスタのベース端子に接続し、ゲート端子を前記第3のノードに接続した第4のNMOSトランジスタと、

一端を接地電位に接続し、他端を第4のNMOSトランジスタのNPNトランジスタのベース端子に接続していない一端に接続し、前記ゲート端子を第2のノードに接続した第5のNMOSトランジスタと、

一端を前記NPNトランジスタのベース端子に接続し、他端を外部端子に接続し、ゲート端子を前記第1のノードに接続した第6のNMOSトランジスタとを有することを特徴とする出力バッファ回路。

【請求項7】第1の電源と、第1の電源電圧より高い電圧の第2の電源と、外部端子と、前記外部端子にハイレベルの信号を出力する場合にのみ前記第1の電源電圧となり他の場合には接地電位電圧となる第1のノードと、前記外部端子にロウレベルの信号を出力する場合にのみ前記第1の電源電圧となり他の場合には接地電位電圧となる第2のノードと、

ソース端子およびドレイン端子を、それぞれMOSトランジスタの端とした場合に、

一端を第2の電源に接続し、他端を外部端子に接続し、N型の基板ウエルを第2の電源に接続したPMOSトランジスタと、

一端を前記外部端子に接続し、他端を接地電位に接続し、ゲート端子を前記第2のノードに接続した第1のNMOSトランジスタと、

一端を第2の電源に接続し、他端を前記PMOSトランジスタのゲート端子に接続した抵抗と、

一端を前記PMOSトランジスタのゲート端子に接続し、他端を接地電位にゲート端子を前記第1のノードに接続した第2のNMOSトランジスタとを有することを特徴とする出力バッファ回路。

【請求項8】第1の電源と、第1の電源電圧より高い電圧の第2の電源と、外部端子と、前記外部端子にハイレベルの信号を出力する場合にのみ前記第1の電源電圧となり他の場合には接地電位電圧となる第1のノードと、前記外部端子にロウレベルの信号を出力する場合にのみ前記第1の電源電圧となり他の場合には接地電位電圧となる第2のノードと、

ソース端子およびドレイン端子を、それぞれMOSトランジスタの端とした場合に、

第2の電源に一端を接続し、外部端子に他端を接続し、N型の基板ウエルを第2の電源に接続した第1のPMOSトランジスタと、

一端を第2の電源に接続し、他端を前記第1のPMOSトランジスタのゲート端子に接続し、N型の基板ウエルを第2の電源に接続した第2のPMOSトランジスタと、

一端を前記第2の電源に接続し、他端を前記第2のPMOSトランジスタのゲート端子に接続し、ゲート端子を

(4)

特開平7-66710

6

前記第1のPMOSトランジスタのゲート端子に接続し、N型の基板ウエルを第2の電源に接続した第3のPMOSトランジスタと、

一端を前記外部端子に接続し、他端を接地電位に接続し、ゲート端子を前記第2のノードに接続した第1のNMOSトランジスタと、

一端を前記PMOSトランジスタのゲート端子に接続し、他端を接地電位に接続し、ゲート端子を前記第2のPMOSトランジスタのゲート端子に接続した第2のNMOSトランジスタと、

10 一端を前記第1のノードに接続し、他端を前記第2のPMOSトランジスタのゲート端子に接続し、ゲート端子を前記第1の電源に接続した第3のNMOSトランジスタとを有することを特徴とする出力バッファ回路。

【請求項9】第1の電源と、第1の電源電圧より高い電圧の第2の電源と、外部端子と、前記外部端子にハイレベルの信号を出力する場合にのみ接地電位電圧となり他の場合には前記第1の電源電圧となる第1のノードと、前記外部端子にロウレベルの信号を出力する場合にのみ前記第1の電源電圧となり他の場合には接地電位電圧となる第2のノードと、

20 ソース端子およびドレイン端子を、それぞれMOSトランジスタの端とした場合に、

一端を第2の電源に接続し、他端を外部端子に接続し、N型の基板ウエルを第2の電源に接続した第1のPMOSトランジスタと、

一端を前記第2の電源に接続し、他端を前記第1のPMOSトランジスタのゲート端子に接続し、ゲート端子を前記外部端子に接続し、N型の基板ウエルを第2の電源に接続した第2のPMOSトランジスタと、

30 一端を前記外部端子に接続し、他端を接地電位に接続し、ゲート端子を前記第2のノードに接続した第1のNMOSトランジスタと、

一端を前記第1のノードに接続し、他端を前記第1のPMOSトランジスタのゲート端子に接続し、ゲート端子を前記第1の電源に接続した第2のNMOSトランジスタとを有することを特徴とする出力バッファ回路。

【請求項10】請求項1、2、3、4、5、6、7、8または9記載の出力バッファ回路であって、

40 前記外部端子に接続した静電破壊保護用素子を、さらに備え、

前記静電破壊保護用素子は、アノードを前記外部端子にカソードを前記第2の電源に接続した第1の一方方向性導電性素子と、アノードを接地電位にカソードを前記外部端子に接続した第2の一方方向性導電性素子とを有することを特徴とする出力バッファ回路。

【請求項11】請求項1、4、7、8または9記載の出力バッファ回路であって、

50 前記外部端子への出力を行うか否かを制御するイネーブ信号と、前記外部端子へ出力する信号のレベルを制御

するデータ信号とを入力し、入力した前記イネーブル信号とデータ信号に従って、前記第1のノードと第2のノードの電圧を制御する出力コントロール回路を、さらに備えていることを特徴とする出力バッファ回路。

【請求項12】請求項2、3、5または6記載の出力バッファ回路であって、

前記外部端子への出力を行うか否かを制御するイネーブル信号と、前記外部端子へ出力する信号のレベルを制御するデータ信号とを入力し、入力した前記イネーブル信号とデータ信号に従って、前記第1のノードと第2のノードと第3のノードの電圧を制御する出力コントロール回路を、さらに備えていることを特徴とする出力バッファ回路。

【請求項13】第1の電源と、外部端子と、前記第1の電源で駆動されるPMOSトランジスタとNMOSトランジスタで構成されるインバータと、NMOSトランジスタと、PMOSトランジスタとを有し、ソース端子およびドレイン端子を、それぞれMOSトランジスタの端とした場合に、

前記NMOSトランジスタは、一端を前記外部端子に接続し、他端を前記インバータの入力端子に接続し、ゲート端子を前記第1の電源に接続しており、

前記PMOSトランジスタは、一端を前記第1の電源に接続し、他端を前記インバータの入力端子に接続し、ゲート端子を前記インバータの出力端子に接続し、N型の基板ウエルを第1の電源に接続していることを特徴とする入力バッファ回路。

【請求項14】請求項1、2、3、4、5、6、7、8、9、10、11または12記載の出力バッファ回路と、入力バッファ回路とを備え、

ソース端子およびドレイン端子を、それぞれMOSトランジスタの端とした場合に、

前記入力バッファ回路は、前記第1の電源で駆動されるPMOSトランジスタとNMOSトランジスタで構成されるインバータと、一端を前記外部端子に接続し、他端を前記インバータの入力端子に接続し、ゲート端子を前記第1の電源に接続したNMOSトランジスタと、一端を前記第1の電源に接続し、他端を前記インバータの入力端子に接続し、ゲート端子を前記インバータの出力端子に接続し、N型の基板ウエルを第1の電源に接続したPMOSトランジスタとを有することを特徴とする出力バッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置において信号の入出力に用いられる入出力バッファ回路に関し、特に、異なる電源電圧で動作する半導体集積回路装置との間で信号の入出力を行うことのできる入出力バッファ回路に関するものである。

【0002】

【従来の技術】自身の電源電圧（例えば3.3V）より高い電源電圧レベル（例えば5V）で信号を入出力するデバイスとの間で、信号の入出力を行う従来の入出力バッファ回路としては、たとえば、特開平4-329024号公報記載の回路が知られている。

【0003】図12に、この特開平4-329024号公報記載の入出力バッファ回路の構成を示す。

【0004】以下、この入出力バッファ回路について説明する。

10 【0005】なお、以下の説明では、PMOSトランジスタ（以下、単に「PMOS」と記す）をQPで表し、NMOSトランジスタを（以下、単に「NMOS」と記す）QNで表し説明する。なお、全てのPMOSトランジスタおよびNMOSトランジスタの型はエンハンス型である。

【0006】さて、この入出力バッファ回路を含む集積回路には、動作メイン電源として例えば3.3Vの電源電圧Vcc1が与えられる。また、入出力バッファ回路には、入出力を行う他のデバイスの動作電源Vcc2が与えられる。Vcc2は、3.3Vより高い電圧であり、たとえば5Vである入出力端子であるパッドPADに接続する出力回路はPMOS QP3とNMOS QN3とQN4とから構成され、PMOS QP3の基板であるNウエルはインタフェースするデバイスの動作電源電圧Vcc2のレベル電位に接続している。また、PMOS QP3のゲート端子とパッドPADとの間には、ゲート電圧がVcc1に、基板NウエルがVcc2に接続したPMOS QP2が挿入されている。一方、入出力端子であるパッドPADに接続する入力回路は、30 ゲートをVccに接続したNMOS QN5と入力バッファ回路2より構成されており、この入力バッファ回路2は2段のインバータより構成されている。

【0007】一方、出力データ信号Doutと出力活性化信号ENが入力する入出力コントロール回路1の出力ノードN1は、PMOS QP1とNMOS QN1で構成されるインバータの入力に接続され、インバータの出力は、ゲート電圧をVcc1に接続したNMOS QN2の一端に接続される。また、このNMOS QN2の他端は、PMOS QP3のゲート端子に接続され40 る。

【0008】また、PMOS QP3のゲート端子とパッドPADとの間には、ゲート電圧がVcc1に、基板NウエルがVcc2に接続したPMOS QP2が挿入されている。

【0009】NMOS QN3のゲート端子はVcc1に接続され、NMOS QN4のゲート端子は入出力コントロール回路1の出力ノードN2に接続されている。

50 【0010】入力側に関係する回路としては、ゲート端子をVcc1に接続したNMOS QN5の一端にパッドPADが接続され、他端は入力バッファ回路2に接続さ

れる。

【0011】以下、この入出力バッファ回路の動作について説明する。

【0012】まず、出力バッファとして動作する場合について説明する。

【0013】いま、パッドPADに”H”レベルを出力する場合、入出力コントロール回路1によって、ノードN1にVcc1レベルが、ノードN2にGNDレベルが出力される。これにより、PMOS QP3とNMOS QN4のゲートには、GNDレベルが印加されるので、PMOS QP3はオンし、NMOS QN4はオフする。したがって、パッドPADは”H”レベルとなる。

【0014】一方、パッドPADに”L”レベルを出力する場合、入出力コントロール回路1によって、ノードN1にGNDレベルが、ノードN2にVcc1レベルが出力される。これにより、PMOS QP3のゲートには、Vcc1-Vtnが、NMOS QN4のゲートには、Vcc1レベルが印加される。なお、VtnはNMOS QN2のしきい値電圧である。したがって、PMOS QP3はオフし、NMOS QN4はオンするので、パッドPADは”L”レベルとなる。

【0015】さて、ここで、PMOS QP3のゲートに印加される電圧は、Vccではなく、Vcc1-Vtnとなるので、通常完全にはオフしない。そこで、これを完全にオフさせるために、NMOS QN2のしきい値電圧を小さくするか、あるいは、PMOS QP3のしきい値電圧の絶対値を大きくするプロセス上の工夫を行っている。

【0016】次に、この入出力バッファ回路が入力バッファとして動作する場合について説明する。

【0017】この場合には、入出力コントロール回路1によって、ノードN1とN2にGNDレベルが出力される。

【0018】パッドPADに”L”レベルが入力される場合、PMOS QP3のゲート電圧は、Vcc1-Vtnになっており、先程のプロセス上の工夫によって、PMOS QP3は完全にオフしている。また、NMOS QN4のゲート電圧はGNDレベルになっているので、NMOS QN4はオフしている。したがって、出力回路の出力はハイインピーダンス状態となる。

【0019】そして、パッドPADから入力された”L”レベルにより、入力バッファ回路2のNMOS QN5を通した後のノードN3には、GNDレベルが伝わる。これを受けて入力バッファ回路2は、GNDの”L”レベルをチップ内部に入力データ信号Dinとして伝達する。

【0020】一方、パッドPADに”H”レベルが入力された場合、そのレベルが、Vcc1+|Vtp|を越えると、そのレベルが、オンとなるPMOS QP2を

介して、PMOS QP3のゲートに伝わる。したがって、PMOS QP3は完全にオフする。よって、パッドPADからPMOS QP3を介して、電源Vcc1へ流れるリークパスが遮断される。その際、PMOS QP3のゲート電位が、QP1とQN1からなるインバータの出力電位Vcc1より高くなるが、NMOS QN2によって、分離されているので問題は生じない。また、NMOS QN4のゲート電圧はGNDレベルになっているので、NMOS QN4はオフする。したがって、出力回路の出力はハイインピーダンス状態となる。また、PMOS QP3とQP2の基板であるNウェルを電源Vcc2に接続しているため、パッドPADに電源Vcc2と同電位の信号が入力してもドレインとNウェルが順バイアスされることがなく、リーク電流が流れることもない。

【0021】そして、パッドPADから”H”レベルが入力されると、NMOS QN5を通した後のノードN3には、Vcc1-Vtn5レベルが伝わる。ただし、Vtn5はNMOS QN5のしきい値電圧である。これを受けて入力バッファ回路2は、Vcc1の”H”レベルをチップ内部に伝達する。しかし、この際、入力バッファ回路2の初段のインバータのPMOSのゲートにはVcc1ではなく、Vcc1-Vtn5レベルが伝わるので完全にオフせず、リーク電流が流れる。

【0022】

【発明が解決しようとする課題】以上のように、前記特開平4-329024号公報記載の入出力バッファ回路では、まず第1にパッドPADのレベルが”L”の時、出力部のPMOS QP3のリーク電流を防ぐために、NMOS QN2のしきい値電圧を小さくするか、あるいは、PMOS QP3のしきい値電圧の絶対値を大きくするプロセス上の工夫をする必要があった。また、入力バッファ回路2にリーク電流が発生していた。

【0023】そこで、本発明は、自身の電源電圧より高い電源電圧レベルで信号を入出力するデバイスとの間で信号を入出力することのできる入出力バッファ回路であって、プロセス工程を増加することなくリーク電流を排除した入出力バッファ回路を提供することを目的とする。

【0024】また、本発明は、自身の電源電圧より高い電源電圧レベルで信号を入出力するデバイスとの間で信号を入出力することのできる入出力バッファ回路であって、より簡便なプロセス上の工夫でリーク電流を排除することのできる入出力バッファ回路を提供することを目的とする。

【0025】

【課題を解決するための手段】前記目的達成のために本発明は、たとえば、図2に示すように、回路外部の信号を入出力する入出力端子7と、静電破壊保護用素子12と、入出力端子7からの信号を入力する入力バッファ回

路 10 と、第 1 の電源 V_{cc1} で駆動される 2 入力 NAND 3 と 2 入力 NOR 4 とインバータ 5 から構成される入出力コントロール回路 11 と、第 1 の電源 V_{cc1} と入出力端子 7 の間に挿入され基板を第 2 の電源 V_{cc2} に接続した第 1 の PMOS P1 と、一端を前記第 1 の PMOS P1 のゲート端子に他端を前記入出力コントロール回路 11 の 2 入力 NAND 3 の出力端子にゲート端子を第 1 の電源 V_{cc1} にそれぞれ接続した第 1 の NMOS N01 と、一端を前記第 1 の PMOS P1 のゲート端子に他端を入出力端子 7 にゲート端子を第 1 の電源 V_{cc1} に基板 N ウェルを第 2 の電源 V_{cc2} にそれぞれ接続した第 2 の PMOS P2 と、一端を接地電位端子にゲート端子を前記入出力コントロール回路 11 の 2 入力 NOR 4 の出力端子に接続した第 2 の NMOS N02 と、一端を前記入出力端子 7 に他端を前記第 2 の NMOS N02 にゲート端子を第 1 の電源 V_{cc1} にそれぞれ接続した第 3 の NMOS N03 と、更に、一端を前記入出力コントロール回路 11 の 2 入力 NAND 3 の出力端子に他端を前記第 1 の PMOS P1 のゲート端子にゲートを前記入出力端子 7 に基板を第 2 の電源 V_{cc2} に接続した第 3 の PMOS P3 とを備えた出力バッファ回路 13 を提供する。

【0026】また、図 2 に示すように、この出力バッファ回路 13 に、さらに、一端を前記入出力端子 7 に他端を PMOS P5 と NMOS N05 からなるインバータの入力端子にゲートを第 1 の電源 V_{cc1} に接続した第 4 の NMOS N04 と、一端を第 1 の電源 V_{cc1} に他端を前記インバータの入力端子にゲートを前記インバータの出力端子に基板を第 1 の電源 V_{cc1} に接続した第 4 の PMOS P4 とを含む入力バッファ回路 10 を付加した入出力バッファ回路を提供する。

【0027】

【作用】図 2 に示した入出力バッファ回路によれば、前記入出力端子 7 が "L" レベルになり、第 1 の電源 V_{cc1} と入出力端子 7 の間に挿入され基板を第 2 の電源 V_{cc2} に接続した第 1 の PMOS P1 をオフする時、一端を前記入出力コントロール回路 11 の 2 入力 NAND 3 の出力端子に他端を前記第 1 の PMOS P1 のゲート端子にゲート端子を前記入出力端子 7 に基板を第 2 の電源 V_{cc2} に接続した第 3 の PMOS P3 がオンとなり、PMOS P1 のゲート端子が V_{cc1} 電位となる。従って、プロセス上の工夫を施すことなく、PMOS P1 を完全にオフできるので、電源 V_{cc1} から入出力端子 7 へのリーク電流を防ぐことができる。また、PMOS P3 の基板は第 2 の電源 V_{cc2} に接続しているので、第 1 の PMOS P1 のゲート端子が V_{cc2} 電位になっても順バイアスされることはない。これにより、自身の動作する電源電圧 (V_{cc1}) より高い電源電圧 (V_{cc2}) で動作するデバイスとのインタフェースをとることができる。

【0028】また、前記入出力端子 7 に "H" レベルが入力された時、第 4 の PMOS P4 が設置されていないと、PMOS P5 と NMOS N05 からなるインバータの入力端子のレベルが $V_{cc1} - V_{tn5}$ までしか上昇しない。しかし、前記インバータの出力端子の出力をゲートに受ける第 4 の PMOS P4 によって、前記インバータの入力端子のレベルが V_{cc1} までプルアップされる。従って、PMOS P5 と NMOS N05 からなるインバータを流れるリーク電流を防止することができる。

【0029】

【実施例】以下、本発明に係る入出力バッファ回路の実施例について説明する。

【0030】まず、図 1 に、本実施例に係る入出力バッファ回路を備えた半導体集積回路装置の構成を示す。

【0031】図中、1000 が本実施例に係る入出力バッファ回路を備えた半導体集積回路装置であり、2000 は半導体集積回路装置 1000 との間で入出力を行う他の半導体集積回路である。半導体集積回路 1000

は、電源電圧 V_{cc1} で動作する論理回路部 200 と、論理回路部 200 が他の半導体集積回路 2000 との間の信号の入出力に用いる複数の入出力バッファ回路 100 を備えている。ここで、半導体集積回路装置 2000 は、 V_{cc1} より高い電源電圧 V_{cc2} で動作する装置であり、半導体集積回路 1000 の入出力バッファ回路 100 には、電源電圧 V_{cc1} 、または、電源電圧 V_{cc1} と電源電圧 V_{cc2} が供給される。電源電圧 V_{cc1} は、たとえば 3.3V や 2.5V であり、電源電圧 V_{cc2} は、 V_{cc1} より高い電源電圧、たとえば 5V や 3.3V である。

【0032】半導体集積回路 1000 は、入出力バッファ回路 100 より "H (High)" レベルが電圧 V_{cc1} もしくは V_{cc2} 、"L (Low)" レベルが GND の信号を出力し、入出力バッファ回路 100 で "H" レベルが電圧 V_{cc2} 、"L" レベルが GND の信号を入力する。なお、ここで、「GND」はグラウンド電圧（接地電圧）を表すものとする。

【0033】以下、入出力バッファ回路 100 の詳細について説明する。

【0034】まず、入出力バッファ回路の第 1 の実施例を説明する。

【0035】図 2 に、本第 1 実施例に係る入出力バッファ回路の構成を示す。

【0036】図 2 に示した入出力バッファ回路には、前述したように、電源電圧 V_{cc1} と、 V_{cc1} より高い電源電圧 V_{cc2} が与えられる。

【0037】さて、図示するように、本第 1 実施例に係る入出力バッファ回路は、外部の信号を入出力する入出力端子 7 と、静電破壊保護用素子 12 と、入出力端子 7 に信号を出力する出力回路 13 と、入出力端子 7 からの

信号を入力する入力回路10と、第1の電源Vcc1で駆動される2入力NAND3と2入力NOR4とインバータ5から構成される入出力コントロール回路11とより構成されている。

【0038】また、出力回路13は、第1の電源Vcc1と入出力端子7の間に挿入されN型の基板ウエルを第2の電源Vcc2に接続した第1のPMOS P1と、一端を前記第1のPMOS P1のゲート端子に他端を前記入出力コントロール回路11の2入力NAND3の出力端子にゲート端子を第1の電源Vcc1にそれぞれ接続した第1のNMOS N01と、一端を前記第1のPMOS P1のゲート端子に他端を前記入出力端子7にゲート端子を第1の電源Vcc1に基板Nウエルを第2の電源Vcc2にそれぞれ接続した第2のPMOS P2と、一端を接地電位端子にゲート端子を前記入出力コントロール回路11の2入力NOR回路4の出力端子に接続した第2のNMOS N02と、一端を前記入出力端子7に他端を前記第2のNMOS N02の他端にゲート端子を第1の電源Vcc1にそれぞれ接続した第3のNMOS N03と、一端を前記入出力コントロール回路11の2入力NAND3の出力端子に他端を前記第1のPMOS P1のゲート端子にゲート端子を前記入出力端子7に基板Nウエルを第2の電源Vcc2にそれぞれ接続した第3のPMOS P3とから構成されている。

【0039】また、静電破壊用保護素子12は、アノードを前記入出力端子7にカソードを第2の電源Vcc2に接続した第1の一方方向導電性素子（たとえばダイオード）D1と、アノードを接地電位端子にカソードを前記入出力端子7に接続した第2の一方方向導電性素子（たとえばダイオード）D2とから構成される。

【0040】また、入力回路10は、一端を前記入出力端子7に他端をPMOS P5とNMOS N05からなるインバータの入力端子にゲート端子を第1の電源Vcc1にそれぞれ接続した第4のNMOS N04と、一端を第1の電源Vcc1に他端を前記インバータの入力端子にゲート端子を前記インバータの出力端子に基板Nウエルを第1の電源Vcc1にそれぞれ接続した第4のPMOS P4を含んで構成される。

【0041】なお、各PMOSおよびNMOSの型は、エンハンス型ある。

【0042】以下、本第1実施例に係る入出力バッファ回路の動作について説明する。

【0043】まず、入出力バッファ回路が出力バッファとして動作する場合について説明する。

【0044】まず、入出力端子7に”H”レベルを出力する場合、図1に示した論理回路部200は、データ信号Dとイネーブル信号ENを”H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がGNDレベルに

なる。したがい、出力回路13において、PMOSP1とNMOS N02のゲート端子にはGNDレベルが印加されるので、PMOS P1はオンし、NMOS N02はオフする。この結果、入出力端子7は”H”レベルになる。なお、この際、PMOS P2とP3はオフ状態となるので動作に無関係である。

【0045】次に、入出力端子7に”L”レベルを出力する場合、論理回路部200は、データ信号Dを”L”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がVcc1レベルになる。したがい、出力回路13のPMOSP1のゲート端子には、”H”レベルが印加され、NMOS N02のゲート端子にはVcc1レベルが印加される。この結果、PMOS P1はオフし、NMOS N02はオンするので、入出力端子7は”L”レベルになる。同時にPMOS P3がオンし、PMOS P1のゲート端子は、Vcc1レベルまで上昇するので、PMOS P1は完全にオフとなる。したがい、先に示した従来の回路のように、リーク電流を防ぐために、NMOS N01のしきい値電圧を小さくするか、PMOS P1のしきい値電圧の絶対値を大きくする等のプロセス上の工夫をする必要がない。なお、この際、PMOS P2はオフ状態であり、動作に無関係である。

【0046】次に、入出力バッファ回路が入力バッファとして動作する場合について説明する。

【0047】この場合、論理回路部200は、イネーブル信号ENを”L”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3の出力端子はVcc1レベルになり、2入力NOR4の出力端子はGNDレベルになる。

【0048】入出力端子7に”L”レベルが入力される場合、出力回路13では、PMOSP3の働きによって、PMOS P1のゲート端子はVcc1レベルになり、PMOS P1は完全にオフする。また、NMOS N02のゲート端子はGNDレベルになっているので、NMOS N02はオフしている。したがい、出力回路13の出力はハイインピーダンス状態となる。

【0049】また、入出力端子7に”H”レベルが入力される場合、出力回路13では、そのレベルがVcc1+|Vtp|を越えると、そのレベルがオンとなるPMOSP2を介してPMOS P1のゲート端子に伝わる。ここで、VtpはPMOS P2のしきい値電圧である。これにより、PMOS P1は完全にオフし、入出力端子7からPMOS P1を介して、電源Vcc1へのリークパスが遮断される。なお、この際、PMOS P1のゲート電位が、2入力NAND3の出力電位Vcc1より高くなるが、NMOS N01によって分離されているので問題は生じない。また、NMOS N02のゲート電位はGNDレベルであり、NMOS N0

2はオフしている。したが、出力はハイインピーダンス状態となっている。また、PMOS P1, P2, P3の基板であるNウエルを電源Vcc2に接続しているので、入出力端子7に電源Vcc2と同電位の信号が入力してもドレインとNウエルが順バイアスされることがなく、リーク電流が流れることはない。

【0050】一方、入力回路10では、入出力端子7から”H”レベルが入力されると、NMOS N04によって、PMOS P5とNMOS N05から構成されるインバータの入力端子のレベルがVcc1-Vtn4まで上昇する。ここで、Vtn4はNMOS N04のしきい値電圧である。これを受けて、PMOS P5とNMOS N05から構成されるインバータの出力端子レベルが”L”レベルに下がり、インバータ6の”H”レベル出力がチップ内部に伝達される。その際、PMOS P5とNMOS N05から構成されるインバータの出力端子レベルをゲート端子に受けるPMOS P4の働きによって、PMOS P5とNMOS N05から構成されるインバータの入力端子のレベルがVcc1まで上昇し、PMOS P5は完全にオフする。したが、PMOS P5とNMOS N05から構成されるインバータを流れるリーク電流は生じない。

【0051】次に、入出力端子7から”L”レベルが入力されると、入力回路10では、NMOS N04によって、PMOS P5とNMOS N05から構成されるインバータの入力端子のレベルがGNDレベルになる。これを受けて、PMOS P5とNMOS N05から構成されるインバータの出力端子レベルが”H”レベルになり、インバータ6の”L”レベル出力がチップ内部に伝達される。

【0052】なお、静電破壊用保護素子12のダイオードD1のカソードを電源Vcc2に接続しているので、入出力端子7に電源Vcc2と同電位の信号が入力してもダイオードD1が導通することはない。

【0053】以上のように、本第1実施例に係る入出力バッファ回路によれば、プロセス工程を増加することなく、自身の電源電圧(Vcc1)より高い電源電圧(Vcc2)レベルで信号を入出力する装置と入出力を行うことのできるCMOSタイプの入出力バッファ回路を得ることができる。

【0054】以下、入出力バッファ回路100の第2の実施例について説明する。

【0055】本第2実施例に係る入出力バッファ回路は、先に示した第1実施例に係る入出力バッファ回路と、入出力コントロール回路11と出力回路13のみが異なるので、その他の部分の説明を省略し、この部分のみを説明する。

【0056】図3に、本第2実施例に係る入出力バッファ回路の入出力コントロール回路11と出力回路13の構成を抜き出して示す。

【0057】図示するように、本第2実施例では、入出力コントロール回路11は、イネーブル信号ENを反転する第1の電源Vcc1で駆動されるインバータ8のみで構成される。また、出力回路13は、第1の電源Vcc1と入出力端子7の間に挿入されN型の基板ウエルを第2の電源Vcc2に接続した第1のPMOS P1と第6のPMOS P6と、一端を前記第1のPMOS P1のゲート端子に他端を前記インバータ8の出力端子にゲート端子を第1の電源Vcc1にそれぞれ接続した第1のNMOS N01と、一端を前記第1のPMOS P1のゲート端子に他端を前記入出力端子7にゲート端子を第1の電源Vcc1に基板Nウエルを第2の電源Vcc2にそれぞれ接続した第2のPMOS P2と、一端を接地電位端子にゲート端子をイネーブル信号ENに接続した第2のNMOS N02と、一端を前記入出力端子7に他端を前記第2のNMOS N02にゲート端子を第6のPMOS P6のゲート端子とデータ信号Dにそれぞれ接続した第3のNMOS N03と、一端を前記インバータ8の出力端子に他端を前記第1のPMOS P1のゲート端子にゲート端子を前記入出力端子7に基板Nウエルを第2の電源Vcc2にそれぞれ接続した第3のPMOS P3とから構成される。

【0058】以下、本第2実施例に係る出力回路13の動作について説明する。

【0059】まず、入出力バッファ回路が出力バッファとして動作する場合について説明する。

【0060】入出力端子7に”H”レベルを出力する場合、データ信号Dを”L”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、PMOS P1とPMOS P6のゲート端子にはGNDレベルが印加されるので、PMOS P1とPMOS P6はオンする。また、NMOS N02はオンするがNMOS N03はオフする。この結果、入出力端子7は”H”レベルになる。なお、この際、PMOS P2とP3はオフ状態となり動作に無関係である。

【0061】一方、入出力端子7に”L”レベルを出力する場合、データ信号Dを”H”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、NMOS N02とN03のゲート端子にはVcc1レベルが印加されるので、NMOS N02とN03はオンする。また、PMOS P1はオンするが、PMOS P6はオフする。この結果、入出力端子7は”L”レベルになる。この際、PMOS P2はオフ状態であり、動作に無関係である。

【0062】次に、入出力バッファ回路が入力バッファとして動作する場合について説明する。この時、イネーブル信号ENを”L”レベルにする。その結果、インバータ8の出力端子はVcc1レベルになる。

【0063】入出力端子7に”L”レベルが入力される場合、PMOS P3の働きによって、PMOS P1

10

20

30

40

50

17

のゲート端子は V_{cc1} レベルになり、PMOS P1は完全にオフする。また、NMOS N02のゲート端子はGNDレベルになっているので、NMOS N02はオフしている。したがい、出力はハイインピーダンス状態となる。

【0064】一方、入出力端子7に”H”レベルが入力される場合、そのレベルが $V_{cc1} + |V_{tp}|$ を越えると、そのレベルがオンとなるPMOS P2を介してPMOS P1のゲート端子に伝わる。ここで、 V_{tp} はPMOS P2のしきい値電圧である。したがい、PMOS P1は完全にオフしている。よって、入出力端子7からPMOS P6、P1を介して、電源 V_{cc1} へのリークパスが遮断される。その際、PMOS P1のゲート電位が、インバータの出力電位 V_{cc1} より高くなるが、NMOS N01によって分離されているので問題ない。また、NMOS N02のゲート電位はGNDレベルであり、NMOS N02はオフしている。したがい、出力回路はハイインピーダンス状態である。また、PMOS P1、P2、P3の基板であるNウェルを電源 V_{cc2} に接続しているので、入出力端子7に電源 V_{cc2} と同電位の信号が入力してもドレインとNウェルが順バイアスされることはない。

【0065】以上のように、本第2実施例によっても、プロセス工程を増加することなく、自身の電源電圧(V_{cc1})より高い電源電圧(V_{cc2})レベルで信号を入出力するデバイスとの間で信号の入出力を行うことのできるCMOSタイプの入出力バッファ回路を提供することができる。

【0066】以下、入出力バッファ回路100の第3の実施例について説明する。

【0067】本第3実施例に係る入出力バッファ回路も、先に示した第1実施例に係る入出力バッファ回路と、入出力コントロール回路11と出力回路13のみが異なるので、その他の部分の説明を省略し、この部分のみを説明する。

【0068】図4に、本第3実施例に係る入出力バッファ回路の入出力コントロール回路11と出力回路13の構成を抜き出して示す。

【0069】図示するように、本第3実施例では、入出力コントロール回路11は、イネーブル信号ENとデータ信号Dを受け第1の電源 V_{cc1} で駆動される2入力NAND9とイネーブル信号ENを反転するインバータ8とより構成される。また、出力回路13は、第1の電源 V_{cc1} と入出力端子7の間に挿入されN型の基板ウェルを第2の電源 V_{cc2} に接続した第1のPMOS P1と第6のPMOS P6と、一端を前記第1のPMOS P1のゲート端子に他端を前記インバータ8の出力端子にゲート端子を第1の電源 V_{cc1} にそれぞれ接続した第1のNMOS N01と、一端を前記第1のPMOS P1のゲート端子に他端を前記入出力端子7にゲ

(10)

特開平7-66710

18

ート端子を第1の電源 V_{cc1} に基板Nウェルを第2の電源 V_{cc2} にそれぞれ接続した第2のPMOS P2と、一端を接地電位端子にゲート端子をイネーブル信号ENに接続した第2のNMOS N02と、一端を前記入出力端子7に他端を前記第2のNMOS N02の他端にゲート端子を前記2入力NAND9の出力端子とPMOS P6のゲート端子にそれぞれ接続した第3のNMOS N03とから構成される。

【0070】以下、本第3実施例に係る出力回路の動作について説明する。

【0071】まず、入出力バッファ回路が、出力バッファとして動作する場合について説明する。

【0072】入出力端子7に”H”レベルを出力する場合、データ信号Dとイネーブル信号ENを”H”レベルにする。その結果、インバータ8と2入力NAND9の出力端子がGNDレベルになる。したがい、PMOS P1、P6とNMOS N03のゲート端子にはGNDレベルが印加されるので、PMOS P1、P6はオンし、NMOS N03はオフする。この結果、入出力端子7は”H”レベルになる。この際、PMOS P2はオフ状態であり動作に無関係である。

【0073】一方、入出力端子7に”L”レベルを出力する場合、データ信号Dを”L”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、2入力NAND9の出力端子が V_{cc1} レベルになる。したがい、PMOS P6、NMOS N02、N03のゲート端子には V_{cc1} レベルが印加される。この結果、PMOS P6はオフし、NMOS N02、N03はオンするので、入出力端子7は”L”レベルになる。PMOS P6が完全にオフとなるので、NMOS N01のしきい値電圧を小さくするとか、PMOS P1のしきい値電圧の絶対値を大きくする等のプロセス上の工夫をしなくても、リーク電流を防ぐことができる。なお、この際、PMOS P2はオフ状態であり、動作に無関係である。次に、入出力バッファ回路が入力バッファ動作する場合について説明する。

【0074】この場合、イネーブル信号ENを”L”レベルにする。その結果、インバータ8と2入力NAND9の出力端子は V_{cc1} レベルになる。

【0075】そして、入出力端子7に”L”レベルが入力される場合、PMOS P6のゲート端子は V_{cc1} レベルであり、PMOS P6は完全にオフしている。また、NMOS N02のゲート端子はGNDレベルになっているので、NMOS N02はオフしている。したがい、出力回路はハイインピーダンス状態となる。

【0076】一方、入出力端子7に”H”レベルが入力される場合、そのレベルが $V_{cc1} + |V_{tp}|$ を越えると、そのレベルがオンとなるPMOS P2を介してPMOS P1のゲート端子に伝わる。ここで、 V_{tp} はPMOS P2のしきい値電圧である。したがい、P

50

MOS P1は完全にオフしている。よって、入出力端子7からPMOS P6、P1を介して、電源Vcc1へのリークパスが遮断される。その際、PMOS P1のゲート電位が、インバータ8の出力電位Vcc1より高くなるが、NMOS N01によって分離されているので問題ない。また、NMOS N02のゲート電位はGNDレベルであり、NMOS N02はオフしている。したがって、出力回路はハイインピーダンス状態である。また、PMOS P1、P2、P6の基板であるNウエルを電源Vcc2に接続しているため、入出力端子7に電源Vcc2と同電位の信号が入力してもドレインとNウエルが順バイアスされることはない。

【0077】以上のように本第3実施例によっても、プロセス工程を増加することなく、自身の電源電圧(Vcc1)より高い電源電圧(Vcc2)レベルで信号を入出力するデバイスとの間で入出力を行うことができるCMOSタイプの入出力バッファ回路を提供することができる。

【0078】以下、入出力バッファ回路100の第4の実施例を説明する。

【0079】本第4実施例は、バイポーラトランジスタとMOSトランジスタを同一基板上に成形したバイCMOSタイプの半導体集積回路装置の入出力バッファに関するものである。また、本第4実施例に係る入出力バッファ回路には、前記第1～3実施例と異なり、電源電圧としてVcc1のみが供給される。

【0080】本第4実施例に係る入出力バッファ回路も、先に示した第1実施例に係る入出力バッファ回路と、出力回路13のみが異なるので、その他の部分の説明を省略し、この部分のみを説明する。

【0081】図5に、本第4実施例に係る入出力バッファ回路の入出力コントロール回路11と出力回路13の構成を抜き出して示す。

【0082】図示するように、本第4実施例では、入出力コントロール回路11は、第1の電源Vcc1で駆動される2入力NAND3と2入力NOR4とインバータ5から構成される。また、出力回路13は、第1の電源Vcc1と入出力端子7の間に挿入されたNPNバイポーラトランジスタ(以下、単に「NPN」と記す)Q1と、一端を第1の電源Vcc1に他端を前記NPN Q1のベース端子にゲート端子を前記入出力コントロール回路11の2入力NAND3の出力端子に基板Nウエルを第1の電源Vcc1にそれぞれ接続した第7のPMOS P7と、一端をNPN Q1のベース端子に他端を接地電位端子にゲート端子を前記入出力コントロール回路11の2入力NAND3の出力端子にそれぞれ接続した第6のNMOS N06と、一端を接地電位端子にゲート端子を前記入出力コントロール回路11の2入力NOR4の出力端子に接続した第2のNMOS N02と、一端を前記入出力端子7に他端を前記第2のNM

OS N02にゲート端子を第1の電源Vcc1にそれぞれ接続した第3のNMOS N03とから構成される。

【0083】以下、本第4実施例に係る入出力回路の動作について説明する。

【0084】まず、入出力バッファ回路が出力バッファとして動作する場合について説明する。

【0085】入出力端子7に“H”レベルを出力する場合、データ信号Dとイネーブル信号ENを“H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がGNDレベルになる。したがって、PMOS P7とNMOS N06、N02のゲート端子にはGNDレベルが印加されるので、PMOS P2はオンし、NMOS N06はオフし、NPN Q1はオンする。また、NMOS N02はオフする。この結果、入出力端子7は“H”レベルになる。

【0086】一方、入出力端子7に“L”レベルを出力する場合、データ信号Dを“L”レベルにし、イネーブル信号ENを“H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がVcc1レベルになる。したがって、PMOS P7とNMOS N06、N02のゲート端子にはVcc1レベルが印加されるので、PMOS P7はオフし、NMOS N06はオンし、NPN Q1はオフする。また、NMOS N02はオンする。この結果、入出力端子7は“L”レベルになる。

【0087】次に、入出力バッファ回路が入力バッファとして動作する場合について説明する。

【0088】この場合は、イネーブル信号ENを“L”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3の出力端子はVcc1レベルになり、2入力NOR4の出力端子はGNDレベルになる。

【0089】そして、入出力端子7に“L”レベルが入力される場合、2入力NAND3の働きによって、PMOS P7とNMOS N06のゲート端子はVcc1レベルになり、NPN Q1は完全にオフする。また、NMOS N02のゲート端子はGNDレベルになっているので、NMOS N02はオフしている。したがって、出力回路13の出力はハイインピーダンス状態となる。

【0090】一方、入出力端子7に“H”レベルが入力される場合も、ベース電位がGND電位になっているNPN Q1は完全にオフしている。また、NMOS N02のゲート電位はGNDレベルであり、NMOS N02はオフしている。したがって、出力回路13の出力はハイインピーダンス状態となる。

【0091】以上のように、本第4実施例によれば、NPNバイポーラトランジスタを用いることにより、リー

21

ク電流を生じることなく、単一電源で、自身の電源電圧 (V_{cc1}) より高い電源電圧 (V_{cc2}) レベルで信号を入出力するデバイスとの間で入出力を行うことのできるバイポーラ CMOS 複合の入出力バッファ回路を得ることができる。また、半導体基板としてN型を用いると、バイポーラトランジスタの形成として、N型基板をコレクタに、Pウエルをベースに、N拡散層領域をエミッタとすることができるので、プロセス工程を増加する必要はない。

【0092】以下、入出力バッファ回路の第5の実施例について説明する。

【0093】本第5実施例も、バイポーラトランジスタとMOSトランジスタを同一基板上に成形したバイCMOSタイプの半導体集積回路装置の入出力バッファに関するものであり、また、電源電圧として V_{cc1} のみが供給される。

【0094】さて、本第5実施例に係る入出力バッファ回路も、先に示した第1実施例に係る入出力バッファ回路と、入出力コントロール回路11と出力回路13のみが異なるので、その他の部分の説明を省略し、この部分のみを説明する。

【0095】図6に、本第5実施例に係る入出力バッファ回路の入出力コントロール回路11と出力回路13の構成を抜き出して示す。

【0096】図示するように、本第5実施例では、入出力コントロール回路11は、イネーブル信号ENを反転する第1の電源 V_{cc1} で駆動されるインバータ8のみで構成される。また、出力回路13は、第1の電源 V_{cc1} と入出力端子7の間に挿入されたNPN Q1と、一端を第1の電源 V_{cc1} に他端を第9のPMOSP9の一端にゲート端子を前記インバータ8の出力端子に基板Nウエルを第1の電源 V_{cc1} にそれぞれ接続した第8のPMOSP8と、一端を前記第8のPMOSP8の他端に他端を前記NPN Q1のベース端子にゲート端子をデータ信号Dに基板Nウエルを第1の電源 V_{cc1} にそれぞれ接続した第9のPMOSP9と、一端を接地電位端子にゲート端子をイネーブル信号ENに接続した第2のNMOS N02と、一端を前記入出力端子7に他端を前記第2のNMOS N02にゲート端子を前記データ信号Dにそれぞれ接続した第3のNMOS N03と、一端を前記NPN Q1のベース端子に他端を接地電位端子にゲート端子を前記データ信号Dにそれぞれ接続した第7のNMOS N07と、一端を前記NPN Q1のベース端子に他端を接地電位端子にゲート端子を前記インバータ8の出力端子にそれぞれ接続した第8のNMOS N08とから構成される。

【0097】以下、本第5実施例に係る出力回路の動作について説明する。

【0098】まず、入出力バッファ回路が出力バッファとして動作する場合について説明する。

(12)

特開平7-66710

22

【0099】まず、入出力端子7に”H”レベルを出力する場合、データ信号Dを”L”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、PMOSP8、P9とNMOS N07、N08のゲート端子にはGNDレベルが印加されるので、PMOSP8とPMOSP9はオンし、NMOS N07、N08はオフする。したがって、NPN Q1はオンする。また、NMOS N02はオンするがNMOS N03はオフする。この結果入出力端子7は”H”レベルになる。

【0100】次に、入出力端子7に”L”レベルを出力する場合、データ信号Dを”H”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、NMOS N02とN03のゲート端子には V_{cc1} レベルが印加されるので、NMOS N02とN03はオンする。また、PMOSP8はオンするが、PMOSP9はオフし、NMOS N07はオンする。したがって、NPN Q1はオフする。この結果入出力端子7は”L”レベルになる。

【0101】次に、入出力バッファ回路が入力バッファとして動作する場合について説明する。

【0102】この場合は、イネーブル信号ENを”L”レベルにする。その結果、PMOSP8とNMOS N08のゲート端子は V_{cc1} レベルになり、NMOS N02のゲート端子はGNDレベルになる。

【0103】入出力端子7に”L”レベルが入力される場合、NPN Q1のベース電位はGNDレベルであるので、NPN Q1は完全にオフしている。また、NMOS N02のゲート端子はGNDレベルになっているので、NMOS N02はオフしている。したがって、出力回路13の出力はハイインピーダンス状態となる。

【0104】一方、入出力端子7に”H”レベルが入力される場合も、NPN Q1は完全にオフしている。また、NMOS N02のゲート電位はGNDレベルであり、NMOS N02はオフしている。したがって、出力回路13の出力はハイインピーダンス状態となる。

【0105】以上のように、本第5実施例によっても、前記第4実施例と同様に、NPNバイポーラトランジスタを用いることにより、自身の電源電圧 (V_{cc1}) より高い電源電圧 (V_{cc2}) レベルで信号を入出力するデバイスとインタフェースすることができるバイポーラ CMOS 複合の入出力バッファ回路を得ることができ、単一電源で動作させることができる。その際、半導体基板としてN型を用いると、バイポーラトランジスタの形成として、N型基板をコレクタに、Pウエルをベースに、N拡散層領域をエミッタとすることができるので、プロセス工程を増加する必要はない。

【0106】以下、入出力バッファ回路の第6の実施例について説明する。

【0107】本第6実施例も、バイポーラトランジスタとMOSトランジスタを同一基板上に成形したバイCM

50

・OSタイプの半導体集積回路装置の入出力バッファに関するものである。ただし、本第6実施例に係る入出力バッファ回路には、電源電圧としてVcc1とVcc2が供給される。

【0108】さて、本第6実施例に係る入出力バッファ回路も、先に示した第1実施例に係る入出力バッファ回路と、入出力コントロール回路11と出力回路13のみが異なるので、その他の部分の説明を省略し、この部分のみを説明する。

【0109】図7に、本第6実施例に係る入出力バッファ回路の入出力コントロール回路11と出力回路13の構成を抜き出して示す。

【0110】図示するように、本第6実施例では、入出力回路11は、イネーブル信号ENを反転する第1の電源Vcc1で駆動されるインバータ8のみから構成される。また、出力回路13は、第1の電源Vcc1と入出力端子7の間に挿入されたNPN Q1と、一端を第1の電源Vcc1に基板Nウエルを第2の電源Vcc2に接続した第8のPMOS P8と、一端を前記第8のPMOS P8の他端に他端を前記NPN Q1のベース端子にゲート端子をデータ信号Dに基板Nウエルを第2の電源Vcc2にそれぞれ接続した第9のPMOS P9と、一端を接地電位端子にゲート端子をイネーブル信号ENに接続した第2のNMOS N02と、一端を前記入出力端子7に他端を前記第2のNMOS N02にゲート端子をデータ信号Dにそれぞれ接続した第3のNMOS N03と、一端を前記第8のPMOS P8のゲート端子に他端を前記インバータ8の出力端子にゲート端子を第1の電源Vcc1にそれぞれ接続した第1のNMOS N01と、一端を前記第8のPMOS P8のゲート端子に他端を前記入出力端子7にゲート端子を第1の電源Vcc1に基板Nウエルを第2の電源Vcc2にそれぞれ接続した第2のPMOS P2と、一端を前記インバータの出力端子に他端を前記PMOS P8のゲート端子にゲート端子を前記入出力端子7に基板Nウエルを第2の電源Vcc2にそれぞれ接続した第3のPMOS P3と、一端を接地電位端子にゲート端子をイネーブル信号ENに接続した第10のNMOS N10と、一端を前記NPN Q1のベース端子に他端を前記第10のNMOS N10の他端にゲート端子をデータ信号Dにそれぞれ接続した第9のNMOS N09と、NPN Q1のベース端子とエミッタ端子間に挿入されゲート端子を前記インバータ8の出力端子に接続した第11のNMOS N11と、NPN Q1のベース端子とエミッタ端子間に挿入されゲート端子をイネーブル信号ENに基板Nウエルを第2の電源Vcc2にそれぞれ接続した第10のPMOS P10とから構成される。

【0111】以下、本第6実施例に係る出力回路13の動作について説明する。

【0112】まず、入出力バッファ回路が出力バッファとして動作する場合について説明する。

【0113】入出力端子7に”H”レベルを出力する場合、データ信号Dを”L”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、インバータ8の出力端子がGNDレベルになる。したがって、PMOS P8、P9とNMOS N09、N11のゲート端子にはGNDレベルが印加されるので、PMOS P8、P9はオンし、NMOS N09、N11はオフする。PMOS P10のゲート端子にはVcc1レベルが印加されるのでPMOS P10はオフする。この結果NPN Q1がオンする。また、NMOS N03のゲート端子にはGNDレベルが印加されるので、NMOS N03はオフである。したがって、入出力端子7は”H”レベルになる。この際、PMOS P2、P3はオフ状態であり動作に無関係である。

【0114】一方、入出力端子7に”L”レベルを出力する場合、データ信号Dを”H”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、インバータ8の出力端子がGNDレベルになる。したがって、PMOS P9、NMOS N09、N10のゲート端子にはVcc1レベルが印加される。この結果、PMOS P9はオフし、NMOS N09、N10はオンするので、NPN Q1がオフする。また、NMOS N02、N03のゲート端子にはVcc1レベルが印加されるので、NMOS N02、N03はオンする。したがって、入出力端子7は”L”レベルになる。この際、PMOS P2、P3、P10、NMOS N11はオフ状態であり、動作に無関係である。

【0115】次に、入出力バッファ回路が入力バッファとして動作する場合について説明する。

【0116】この場合は、イネーブル信号ENを”L”レベルにする。その結果、インバータ8の出力端子はVcc1レベルになる。

【0117】入出力端子7に”L”レベルが入力される場合、PMOS P3の働きによって、PMOS P8のゲート端子はVcc1レベルであり、PMOS P8は完全にオフしている。また、NPN Q1のベース、エミッタ間に挿入しているNMOS N11とPMOS P10がオンし、ベース、エミッタ間が短絡されるので、NPN Q1はオフする。また、NMOS N02、N10のゲート端子はGNDレベルになっているので、NMOS N02、N10はオフしている。したがって、出力回路13の出力はハイインピーダンス状態となる。

【0118】一方、入出力端子7に”H”レベルが入力される場合、そのレベルがVcc1+|Vtp|を越えると、そのレベルがオンとなるPMOS P2を介してPMOS P8のゲート端子に伝わる。ここで、VtpはPMOS P2のしきい値電圧である。したがって、P

MOS P8は完全にオフする。よって、入出力端子7からPMOS P10、NMOS N11、PMOS P9、P8を介して、電源Vcc1へのリークパスが遮断される。その際、PMOS P8のゲート電位が、インバータ8の出力電位Vcc1より高くなるが、NMOS N01によって分離されているので問題ない。また、NMOS N02、N10のゲート電位はGNDレベルであり、NMOS N02、N10はオフしている。更に、NPN Q1はオフしている。したがって、出力回路13の出力はハイインピーダンス状態となる。また、PMOS P8、P2、P3、P9、P10の基板であるNウェルを電源Vcc2に接続しているため、入出力端子7に電源Vcc2と同電位の信号が入力してもドレインとNウェルが順バイアスされることはない。

【0119】以上のように、本第6実施例によれば、前記第4、5実施例と同様に、NPNバイポーラトランジスタを用いることにより、自身の電源電圧(Vcc1)より高い電源電圧(Vcc2)レベルで信号を入出力するデバイスとの間で信号の入出力を行うことができるバイポーラ CMOS複合の入出力バッファ回路を得ることができる。また、半導体基板としてN型を用いると、バイポーラトランジスタの形成として、N型基板をコレクタに、Pウェルをベースに、N拡散層領域をエミッタとすることができるので、プロセス工程を増加する必要はない。

【0120】また、さらに、本第6実施例によれば、出力回路13の出力をハイインピーダンス状態にする時、NPN Q1のベース、エミッタ間に逆バイアスが加わらないので、ベース、エミッタ間の逆耐圧を小さくすることができる。

【0121】以下、入出力バッファ回路100の第7の実施例について説明する。

【0122】本第7実施例に係る入出力バッファ回路100の出力回路13には、電源電圧Vcc2が供給される。また、前記第1～6実施例とは異なり”H”レベルとして電圧Vcc2を出力する。

【0123】本第7実施例に係る入出力バッファ回路も、先に示した第1実施例に係る入出力バッファ回路と、入出力コントロール回路11と出力回路13のみが異なるので、その他の部分の説明を省略し、この部分のみを説明する。

【0124】図8に、本第7実施例に係る入出力バッファ回路の入出力コントロール回路11と出力回路13の構成を抜き出して示す。

【0125】図示するように、本第7実施例では、入出力コントロール回路11は、第1の電源Vcc1で駆動される2入力NAND3と2入力NOR4とインバータ5と入力端子を2入力NAND3の出力端子に接続した第1の電源Vcc1で駆動されるインバータ20とから構成される。また、出力回路13は、第2の電源Vcc

2と入出力端子7の間に挿入されN型の基板ウェルを第2の電源Vcc2に接続したPMOS P20と、一端を入出力端子7に他端を接地電位端子にゲート端子を前記入出力コントロール回路11の2入力NOR4の出力端子に接続したNMOS N20と、一端を第2の電源Vcc2に他端を前記PMOS P20のゲート端子に接続した抵抗R1と、一端を前記PMOS P20のゲート端子に、他端を接地電位端子にゲート端子を前記インバータ20の出力端子に接続したNMOS N21とから構成される。

【0126】ここで、PMOS P20とNMOS N20、N21は第2の電源Vcc2の下で使用可能なように、論理部200内で用いているMOSTランジスタよりも、ゲート酸化膜の厚さを厚くしたMOSTランジスタである。図9には、このゲート酸化膜の厚さを厚くしたようすを示している。

【0127】図中、901と902がゲート酸化膜を表しており、図中の破線は従来のゲート酸化膜の厚さを示している。

【0128】以下、本第7実施例に係る出力回路13の動作を説明する。

【0129】まず、入出力バッファ回路100が出力バッファとして動作する場合について説明する。

【0130】入出力端子7に”H”レベルを出力する場合、データ信号Dとイネーブル信号ENを”H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がGNDレベルになる。したがって、NMOS N21のゲート端子にはVcc1レベルが印加され、NMOS N21はオンし、PMOS P20のゲート端子の電位が下がり、PMOS P20はオンする。また、NMOS N20のゲート端子にはGNDレベルが印加され、NMOS N20はオフする。この結果、入出力端子7は”H”レベルになる。

【0131】次に、入出力端子7に”L”レベルを出力する場合、データ信号Dを”L”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がVcc1レベルになる。したがって、NMOS N21のゲート端子にはGNDレベルが印加され、NMOS N21はオフし、PMOS P20のゲート端子の電位がVcc2レベルになり、PMOS P20は完全にオフする。また、NMOS N20のゲート端子にはVcc1レベルが印加され、NMOS N20はオンする。この結果、入出力端子7は”L”レベルになる。この際、PMOS P20のゲート端子の電位をVcc2レベルにすることにより、PMOS P20を完全にオフにしているため、第2の電源Vcc2からPMOS P20を介して入出力端子7へ流れるリーク電流はない。

【0132】次に、入出力バッファ回路100が入力バッファとして動作する場合について説明する。

【0133】この場合、イネーブル信号ENを”L”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3の出力端子はVcc1レベルになり、2入力NOR4の出力端子はGNDレベルになる。したがって、NMOS N21のゲート端子はGND電位となり、NMOS N21はオフし、PMOSP20のゲート端子の電位がVcc2レベルになり、PMOSP20は完全にオフする。また、NMOS N20のゲート端子はGND電位であるので、NMOS N20はオフする。したがって、入出力端子7から”H”レベルが入力されても”L”レベルが入力されても出力回路13の出力はハイインピーダンス状態となる。

【0134】以上のように、本第7実施例によれば、図9に示すようにゲート酸化膜厚の厚いMOSトランジスタを導入することにより、自身の電源電圧(Vcc1)より高い電源電圧(Vcc2)レベルで信号を入出力するデバイスとの間で信号の入出力を行うことができるC MOS入出力バッファ回路を提供することができる。

【0135】以下、入出力バッファ回路の第8の実施例について説明する。

【0136】本第8実施例に係る入出力バッファ回路100の出力回路13には、電源電圧Vcc1と、電源電圧Vcc2が供給される。また、前記第7実施例と同様に”H”レベルとして電圧Vcc2を出力する。

【0137】さて本第8実施例に係る入出力バッファ回路も、先に示した第1実施例に係る入出力バッファ回路と、入出力コントロール回路11と出力回路13のみが異なるので、その他の部分の説明を省略し、この部分のみを説明する。

【0138】図10に、本第8実施例に係る入出力バッファ回路の入出力コントロール回路11と出力回路13の構成を抜き出して示す。

【0139】図示するように、本第8実施例では、入出力コントロール回路11は、第1の電源Vcc1で駆動される2入力NAND3と2入力NOR4とインバータ5と入力端子を2入力NAND3の出力端子に接続した第1の電源Vcc1で駆動されるインバータ20とから構成される。また、出力回路13は、第2の電源Vcc2と入出力端子7の間に挿入されN型の基板ウエルを第2の電源Vcc2に接続したPMOS P20と、一端を入出力端子7に他端を接地電位端子にゲート端子を前記入出力コントロール回路11の2入力NOR4の出力端子に接続したNMOS N20と、一端を前記PMOSP20のゲート端子に他端を接地電位端子に接続したNMOS N21と、一端を第2の電源Vcc2に他端を前記PMOSP20のゲート端子に基板Nウエルを第2の電源Vcc2に接続したPMOS P21と、一端をインバータ20の出力端子に他端を前記PMOSP

P21とNMOS N21のゲート端子にゲート端子を第1の電源Vcc1に接続したNMOS N22と、一端を第2の電源Vcc2に他端を前記PMOSP21とNMOS N21のゲート端子にゲート端子を前記PMOSP20のゲート端子に基板Nウエルを第2の電源Vcc2に接続したPMOS P22とから構成される。ここで、PMOSP20、P21、P22とNMOS N20、N21は第2の電源Vcc2の下で使用可能なようにゲート酸化膜の厚さを厚くしたMOSトランジスタである。

【0140】以下、本第8実施例に係る出力回路の動作について説明する。

【0141】まず、入出力バッファ回路が出力バッファとして動作する場合について説明する。

【0142】入出力端子7に”H”レベルを出力する場合、データ信号Dとイネーブル信号ENを”H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がGNDレベルになる。したがって、PMOSP21とNMOS N21からなるインバータの入力端子には、まず、Vcc1-Vtnなるレベルが印加され、NMOS N21が強くオンし、PMOSP20、P22のゲート端子の電位が下がる。ここで、VtnはNMOS N22のしきい値電圧である。そして、PMOSP21とNMOS N21からなるインバータの入力端子はPMOSP22によってVcc2レベルまでプルアップされる。その結果、PMOSP21は完全にオフすると共にPMOSP20はオンする。また、NMOS N20のゲート端子にはGNDレベルが印加され、NMOS N20はオフする。この結果、入出力端子7は”H”レベルになる。この動作において、PMOSP21とNMOS N21からなるインバータの入力端子はVcc2レベルになるので、Vcc2電源からPMOSP21、NMOS N21を介して接地電位端子に流れるリーク電流は発生しない。また、PMOSP21とNMOS N21からなるインバータの入力端子はVcc2レベルになり、インバータ20の出力端子電位より高くなるが、NMOS N22によって分離されているので問題ない。

【0143】一方、入出力端子7に”L”レベルを出力する場合、データ信号Dを”L”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がVcc1レベルになる。したがって、PMOSP21とNMOS N21からなるインバータの入力端子には、GNDレベルが印加され、PMOSP20のゲート端子の電位がVcc2レベルになる。その結果、PMOSP20は完全にオフする。また、NMOS N20のゲート端子にはVcc1レベルが印加され、NMOS N20はオンする。この結果、

入出力端子7は”L”レベルになる。この際、PMOS P20のゲート端子の電位をVcc2レベルにし、PMOS P20を完全にオフしているの、第2の電源Vcc2からPMOS P20を介して入出力端子7へ流れるリーク電流はない。

【0144】次に、入出力バッファ回路が入力バッファとして動作する場合について説明する。

【0145】この場合、イネーブル信号ENを”L”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3の出力端子はVcc1レベルになり、2入力NOR4の出力端子はGNDレベルになる。したが、PMOS P21とNMOS N21からなるインバータの入力端子には、GNDレベルが印加され、PMOS P20のゲート端子の電位がVcc2レベルになる。その結果、PMOS P20は完全にオフする。また、NMOS N20のゲート端子はGND電位であるので、NMOS N20もオフする。したが、入出力端子7から”H”レベルが入力されても”L”レベルが入力されても出力回路13の出力はハイインピーダンス状態となる。

【0146】以上のように、本第8実施例によれば、ゲート酸化膜厚の厚いMOSトランジスタを導入して、自身の電源電圧(Vcc1)より高い電源電圧(Vcc2)レベルで信号を入出力するデバイスとの間で信号の入出力を行うことのできるリーク電流の発生しないCMOSタイプの入出力バッファ回路を得ることができる。

【0147】以下、入出力バッファ回路100の第9の実施例について説明する。

【0148】本第9実施例に係る入出力バッファ回路100の出力回路13には、電源電圧Vcc1とVcc2が供給される。また、前記第7実施例と同様に”H”レベルとして電圧Vcc2を出力する。

【0149】さて本第9実施例に係る入出力バッファ回路も、先に示した第1実施例に係る入出力バッファ回路と、出力回路13のみが異なるので、その他の部分の説明を省略し、この部分のみを説明する。

【0150】図11に、本第9実施例に係る入出力バッファ回路の入出力コントロール回路11と出力回路13の構成を抜き出して示す。

【0151】図示するように、本第8実施例では、入出力コントロール回路11は、第1の電源Vcc1で駆動される2入力NAND3と2入力NOR4とインバータ5から構成される。また、出力回路13は、第2の電源Vcc2と入出力端子7の間に挿入されN型の基板ウエルを第2の電源Vcc2に接続したPMOS P20と、一端を入出力端子7に他端を接地電位端子にゲート端子を前記入出力コントロール回路11の2入力NOR4の出力端子に接続したNMOS N20と、一端を前記入出力コントロール回路11の2入力NAND3の出力端子に他端を前記PMOS P20のゲート端子にゲ

ート端子を第1の電源Vcc1に接続したNMOS N22と、一端を第2の電源Vcc2に他端を前記PMOS P20のゲート端子にゲート端子を前記入出力端子7に基板Nウエルを第2の電源Vcc2に接続したPMOS P22とから構成される。ここで、PMOS P20、P22とNMOS N20は第2の電源Vcc2の下で使用可能なようにゲート酸化膜の厚さを厚くしたMOSTランジスタである。

【0152】以下、本第9実施例に係る出力回路13の動作について説明する。

【0153】まず、入出力バッファ回路100が出力バッファとして動作する場合について説明する。

【0154】入出力端子7に”H”レベルを出力する場合、データ信号Dとイネーブル信号ENを”H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がGNDレベルになる。したが、PMOS P20とNMOS N20のゲート端子にはGNDレベルが印加され、PMOS P20はオンし、NMOS N20はオフする。この結果、入出力端子7は”H”レベルになる。

【0155】一方、入出力端子7に”L”レベルを出力する場合、データ信号Dを”L”レベルにし、イネーブル信号ENを”H”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3と2入力NOR4の出力端子がVcc1レベルになる。したが、PMOS P20のゲート端子には、まず、Vcc1-Vtnなるレベルが印加される。ここで、VtnはNMOS N22のしきい値電圧である。NMOS N20はオンするので、入出力端子7とPMOS P22のゲート端子の電位が下がる。そして、PMOS P20のゲート端子はPMOS P22によってVcc2レベルまでプルアップされる。その結果、PMOS P20は完全にオフする。この結果、入出力端子7は”L”レベルになる。この際、PMOS P20のゲート端子の電位をVcc2レベルにし、PMOS P20を完全にオフしているの、第2の電源Vcc2からPMOS P20を介して入出力端子7へ流れるリーク電流は生じない。

【0156】次に、入出力バッファ回路100が入力バッファとして動作する場合について説明する。

【0157】この場合は、イネーブル信号ENを”L”レベルにする。その結果、入出力コントロール回路11によって、2入力NAND3の出力端子はVcc1レベルになり、2入力NOR4の出力端子はGNDレベルになる。したが、PMOS P20のゲート端子には、まず、Vcc1-Vtnなるレベルが印加される。ここで、VtnはNMOS N22のしきい値電圧である。また、NMOS N20のゲート端子はGND電位であるので、NMOS N20はオフする。

【0158】さて、入出力端子7から”L”レベルが入力される場合、PMOS P22によって、PMOS P20のゲート端子はVcc2レベルにプルアップされるので、PMOS P20はオフする。また、NMOS N20はオフしている。したがって、出力回路13の出力はハイインピーダンス状態となる。

【0159】一方、入出力端子7から”H”レベルが入力される場合、そのレベルがVcc2-|Vtp|になるまでは、PMOS P20のゲート端子はVcc2レベルにプルアップされるので、PMOS P20はオフしている。それを越えるとPMOS P20のソースとドレインの電位はVcc2で同電位になるので、リーク電流は流れない。また、NMOS N20はオフしている。したがって、出力回路13の出力はハイインピーダンス状態と等価となる。ここで、Vtpは、PMOS P22のしきい値電圧である。

【0160】以上のように、本第9実施例によれば、ゲート酸化膜厚の厚いMOSトランジスタを導入して、自身の電源電圧(Vcc1)より高い電源電圧(Vcc2)レベルで信号を入出力するデバイスとの間で信号を入出力することができる、リーク電流の発生しないCMOSタイプの入出力バッファ回路を得ることができる。

【0161】なお、以上の各実施例では、入力回路10と出力回路13を共に備えた場合について説明してきたが、各実施例において、入力回路10を省き、単に”H”レベル出力状態、”L”レベル出力状態、ハイインピーダンス状態をサポートする3ステートの出力バッファ回路として用いるようにしてもよい。

【0162】

【発明の効果】以上説明してきたように、本発明によれば、自身の電源電圧より高い電源電圧レベルで信号を入出力するデバイスとの間で信号を入出力することのできる入出力バッファ回路であって、プロセス工程を増加することなくリーク電流を排除した入出力バッファ回路を提供することができる。

【0163】また、自身の電源電圧より高い電源電圧レベルで信号を入出力するデバイスとの間で信号を入出力することのできる入出力バッファ回路であって、より簡便なプロセス上の工夫でリーク電流を排除することのできる入出力バッファ回路を提供することができる。

【図面の簡単な説明】

【図1】本発明に実施例に係る半導体集積回路装置の構成を示すブロック図である。

【図2】本発明の第1実施例に係る入出力バッファ回路の構成を示す回路図である。

【図3】本発明の第2実施例に係る入出力バッファ回路の構成を示す回路図である。

【図4】本発明の第3実施例に係る入出力バッファ回路の構成を示す回路図である。

【図5】本発明の第4実施例に係る入出力バッファ回路の構成を示す回路図である。

【図6】本発明の第5実施例に係る入出力バッファ回路の構成を示す回路図である。

【図7】本発明の第6実施例に係る入出力バッファ回路の構成を示す回路図である。

【図8】本発明の第7実施例に係る入出力バッファ回路の構成を示す回路図である。

【図9】本発明の第7実施例に係る入出力バッファ回路で用いるゲート酸化膜の厚さを厚くしたMOSトランジスタの構造を示した説明図である。

【図10】本発明の第8実施例に係る入出力バッファ回路の構成を示す回路図である。

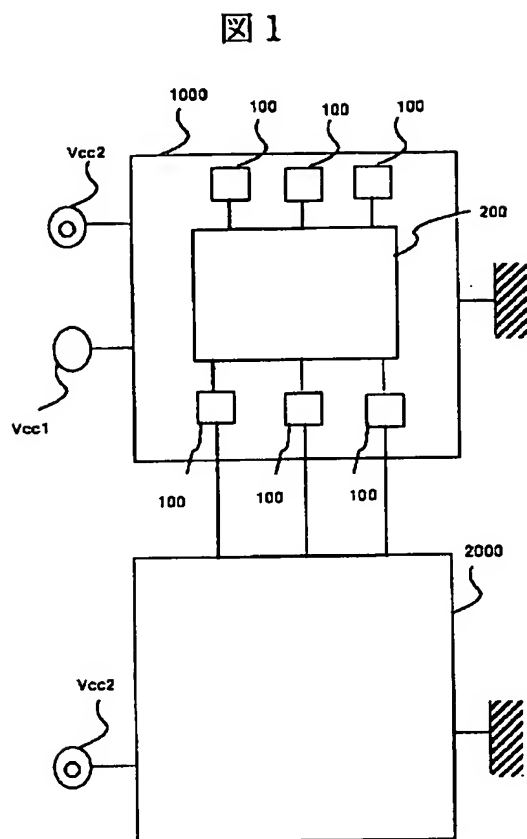
【図11】本発明の第9実施例に係る入出力バッファ回路の構成を示す回路図である。

【図12】従来の技術に係る入出力バッファ回路の構成を示す回路図である。

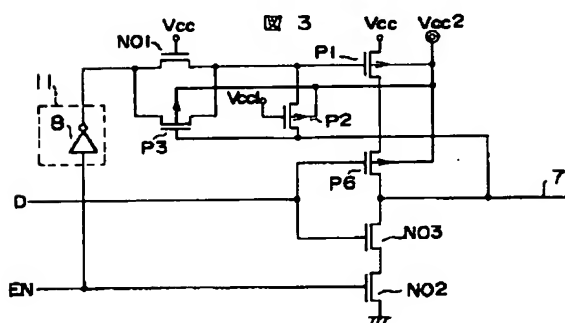
【符号の説明】

P1、P2、P3、P4 PMOSTランジスタ
P5、P20、P21 PMOSTランジスタ
N01、N02、N03、N04 NMOSTランジスタ
N05、N20、N21、N22 NMOSTランジスタ
D1、D2 ダイオード
Q1 NPNトランジスタ
10 入力回路
11 入出力コントロール回路
12 静電破壊保護用素子
13 出力回路
100 入出力バッファ回路
200 論理回路部
1000、2000 半導体集積回路装置

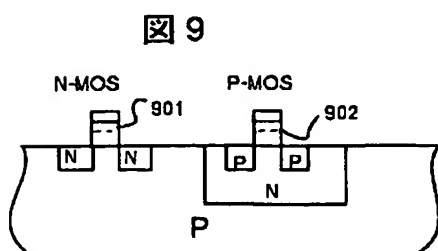
【圖 1】



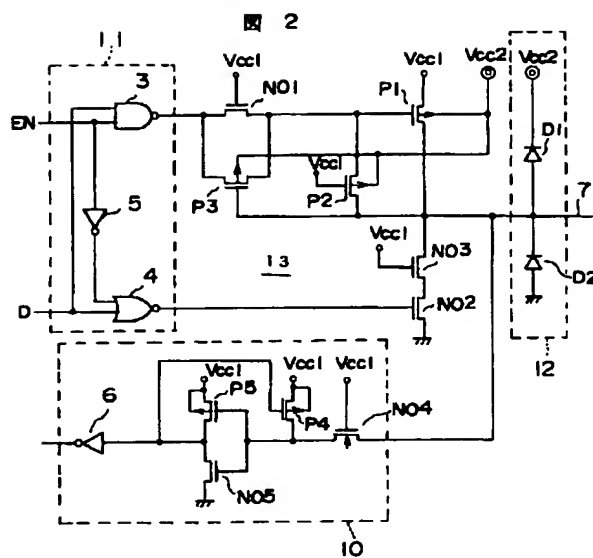
【图 3】



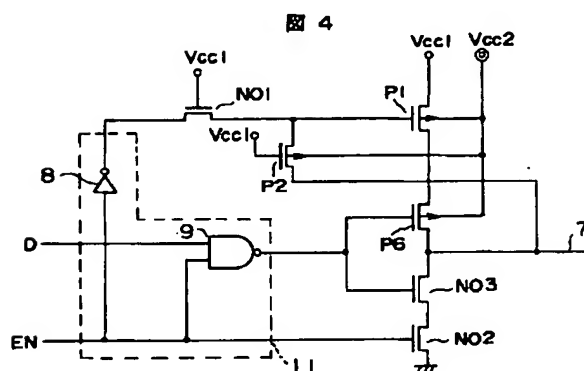
【図 9】



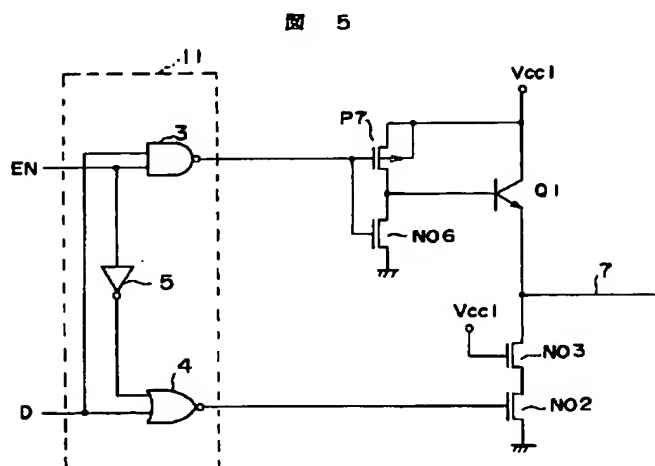
【图 2】



【図 4】

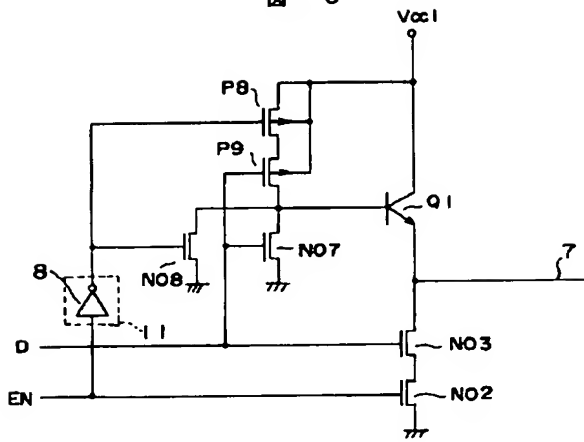


【図 5】



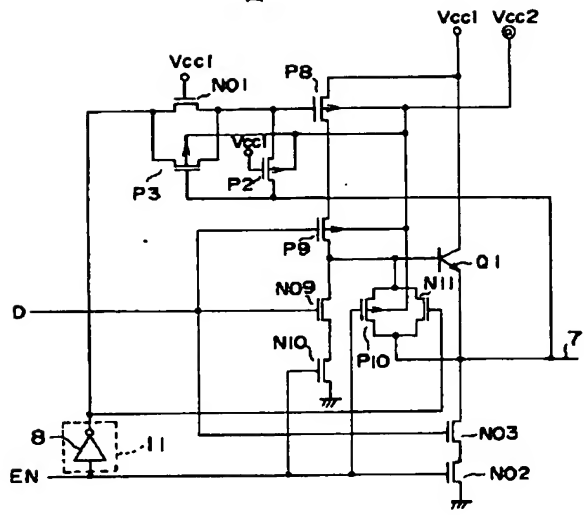
【図6】

図 6



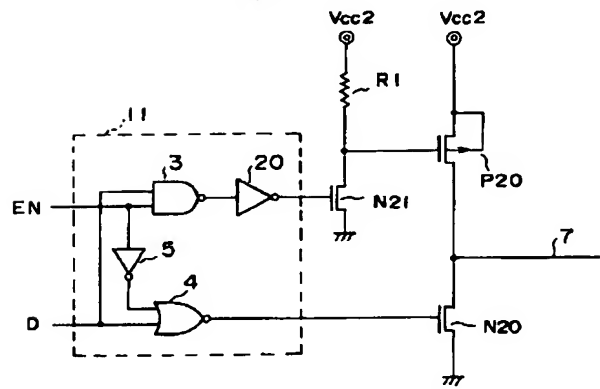
【図7】

図 7



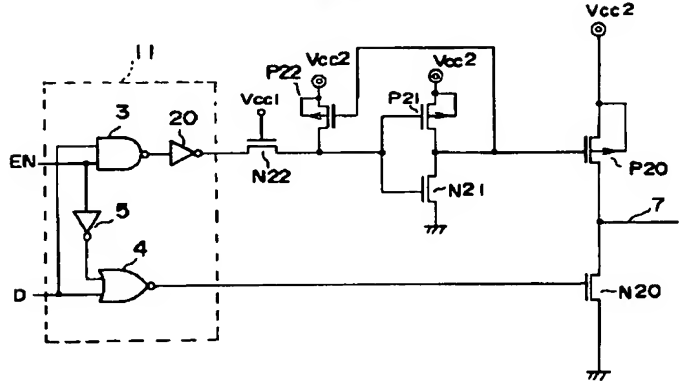
【図8】

図 8



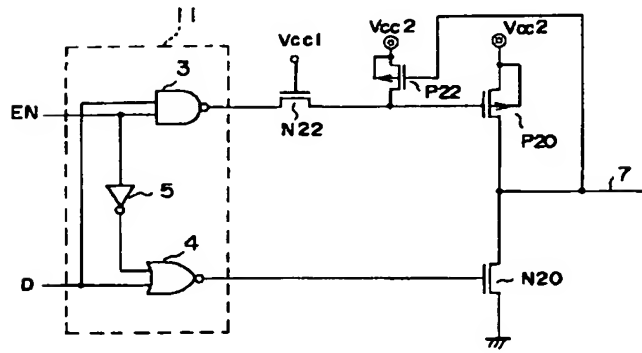
【図10】

図 10



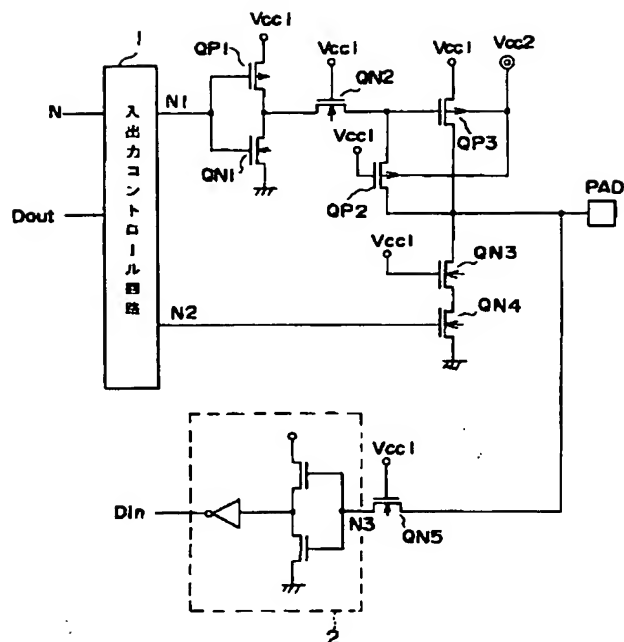
【図11】

図 11



【図 12】

図 12



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 27/092

H 0 3 K 19/003

識別記号

庁内整理番号

F I

技術表示箇所

Z

(72) 発明者 原 英夫

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体設計開発センタ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.